

DETAIL

PATENT ABSTRACTS OF JAPAN

reproducibility of gradation, the resolution and the smoothness are improved remarkably even for one signal and respective colors of color three primary colors.

LEGAL STATUS

[Date of request for examination] 26.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3006363

[Date of registration] 26.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(11)特許出願公開番号

特開平7-64505

(43)公開日 平成7年(1995)3月10日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	V	9378-5G	
	3/28	B	9378-5G	
		K	9378-5G	
H 0 4 N	5/66	1 0 1 B		

審査請求 未請求 請求項の数4 FD (全 8 頁)

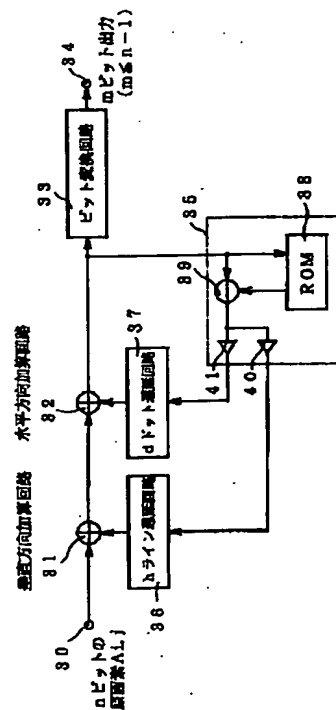
(21)出願番号	特願平5-234227	(71)出願人	000006611 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地
(22)出願日	平成5年(1993)8月26日	(72)発明者	中島 正道 神奈川県川崎市高津区末長1116番地 株式 会社富士通ゼネラル内
		(74)代理人	弁理士 古澤 俊明 (外1名)

(54) 【発明の名称】 PDP駆動方法

(57) 【要約】

【目的】 入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するための駆動方法を提供することを目的とする。

【構成】 映像信号入力端子30にnビットで量子化されて入力した原画素映像信号に、またはR、G、Bの各映像信号入力端子30R、30G、30Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差をその周辺画素の多値化誤差を荷重して加えた誤差拡散法により加算して拡散出力信号を得、これをビット変換回路33に送り、nビットで量子化されていた拡散出力信号を、m(n-1ビット以下)ビットに変換して映像出力端子34より出力する。1つの信号であっても、カラー3原色の各色に対しても、より一層の濃淡再現性、解像度、滑らかさを向上させる。



【特許請求の範囲】

【請求項1】 映像信号入力端子30にnビットで量子化されて入力した原画素映像信号に、原画素より過去に生じた再現誤差を加算して拡散出力信号を得、nビットより少ないmビットに変換した駆動信号で駆動するようにしたことを特徴とするPDP駆動方法。

【請求項2】 映像信号入力端子30にnビットで量子化されて入力した原画素映像信号に、原画素より過去に生じたその周辺画素の多値化誤差を荷重して加えた誤差拡散法により入力信号と発光輝度との濃淡誤差を最小にするようにしたことを特徴とするPDP駆動方法。

【請求項3】 R、G、Bの各映像信号入力端子30R、30G、30Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差を加算して拡散出力信号を得、nビットより少ないmビットに変換した駆動信号で駆動するようにしたことを特徴とするPDP駆動方法。

【請求項4】 R、G、Bの各映像信号入力端子30R、30G、30Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じたその周辺画素の多値化誤差を荷重して加えた誤差拡散法により入力信号と発光輝度との濃淡誤差を最小にするようにしたことを特徴とするPDP駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、駆動信号のビット数を低減して発光輝度を増加し、しかも、画質の低下を招くことのないようにしたPDP駆動方法に関するものである。

【0002】

【従来の技術】最近、薄型、軽量の表示装置として、PDP（プラズマ・ディスプレイ・パネル）が注目されている。このPDPの駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDPは基本的特性の異なるAC型とDC型の2方式に分けられるが、DC型PDPでは、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】ところが、AC型PDPでは、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大64階調表示までの報告しかなかったが、アドレス・表示分離型駆動法（ADSサブフィールド法）による将来の256階調の手法が提案されている。この方法に使用されるPDP（プラズマ・ディスプレイ・パネル）10のパネル構造が図10に示され、駆動シーケンスと駆動波形が図11（a）（b）に示される。

【0004】図10において、表示面側の表面ガラス基

板11の下面に、対になるXサスティン電極12、Yサスティン電極13を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極23を透明電極の一部に形成する。これらXサスティン電極12、Yサスティン電極13の上に誘電体層14を設け、その上に各セル間の結合を分離するためにストライプ状リブ18を形成する。さらに、MgO膜からなる保護層15を蒸着する。対向する裏面ガラス基板16上には、アドレス電極17を形成する。アドレス電極17間にストライプ上のストライプ状リブ18を設け、さらにアドレス電極17を被覆するようにしてR（赤）蛍光体19、G（緑）蛍光体20、B（青）蛍光体21を塗分けて形成する。放電空間22には、Ne+Xe混合ガスが封入される。

【0005】図11（a）において、1フレームは、輝度の相対比が1、2、4、8、16、32、64、128の8個のサブフィールドで構成され、8画面の輝度の組み合わせで256階調の表示を行う。図11（b）において、それぞれのサブフィールドは、リフレッシュした1画面分のデータの書き込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ビクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして256階調表示が実現される。

【0006】

【発明が解決しようとする課題】以上のようなAC駆動方式では、階調数を増やせば増やすほど、1フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0007】本発明は、入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するためのPDP駆動方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、映像信号入力端子30にnビットで量子化されて入力した原画素映像信号またはR、G、Bの各映像信号入力端子30R、30G、30Bにそれぞれnビットで量子化されて入力した各カラー信号に、原画素より過去に生じた再現誤差をその周辺画素の多値化誤差を荷重して加えた誤差拡散法

により加算して拡散出力信号を得、 n ビットより少ない m ビットに変換した駆動信号で駆動するようにしたことを特徴とするPDP駆動方法PDP駆動方法である。

【0009】

【作用】原画素より過去に生じた周辺画素の再現誤差を原画素に組み入れる。誤差を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、 n ビットで量子化されていた拡散出力信号を、 m ($n-1$ ビット以下) ビットに変換して映像出力端子34より出力する。このようにして、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。カラー信号の場合には、カラー3原色の各色に対して同様の処理を行う。また、出力画素に、垂直と水平においてそれぞれ多値化誤差を加重して加えて、より一層の濃淡再現性、解像度、滑らかさを向上させる。

【0010】

【実施例】以下、本発明の実施例を図面に基づき説明する。図1は、第1実施例の誤差拡散回路で、この回路において、30は、 n ビットの原画素 A_{ij} 、 j の映像信号入力端子で、この映像信号入力端子30は、垂直方向加算回路31、水平方向加算回路32を経て、さらにビット変換回路33でビット数を減らす処理をして映像出力端子34に接続される。また、前記水平方向加算回路32の出力側には、誤差検出回路35が接続されている。この誤差検出回路35は、予め設定された補正誤差レベルのデータを記憶するメモリ38、このメモリ38の出力と水平方向加算回路32からの拡散出力信号との差をとって誤差信号を出力する減算回路39、この誤差信号に所定の重み付けをするための誤差荷重を出力する荷重回路40、41からなる。

【0011】この誤差検出回路35の荷重回路40、41の出力側には、原画素 A_{ij} より h ライン前の画素、例えば1ラインだけ過去に生じた再現誤差 E_{j-1} を出力する h ライン遅延回路36を介して前記垂直方向加算回路31に接続されるとともに、原画素 A_{ij} より d ドット前の画素、例えば1ドットだけ過去に生じた再現誤差 E_{i-1} を出力する d ドット遅延回路37を介して前記水平方向加算回路32に接続されている。

【0012】以上のような構成による回路の作用を説明する。

(1) 補正輝度線が直線の場合

PDP10への駆動信号に対する発光輝度レベルを実測し、この発光輝度レベルをその最大値で正規化したものが図3に示す階段状の実測線であったものとする。なお、この例では、映像入力信号が8ビットであるものを、駆動信号を4ビットにした例を示している。前記実測線に基づいて、 $y = ax + b$ で表わされる補正輝度線を求める。この補正輝度線は、 $y = x$ という理想線にややずれているので、補正をすることが必要となる。これ

を補正した輝度線は、図4に示され、拡散出力信号レベルに対し{(補正輝度線勾配 $a-1$)-補正輝度線接片 b }の補正を施したものである。この図4のように、補正輝度線を $y = x$ となるように補正したときの階段状のデータがメモリ38に記憶される。

【0013】補正輝度線が、 $y = x$ の場合、補正輝度レベルは発光輝度レベルと同一になる。したがって、駆動出力ビット数を m とすれば2の m 乗、具体的には $m = 4$ とすれば、2の4乗=16ワードの輝度レベルのデータをメモリ38に記憶させればよい。なお、図3において、補正輝度線 $y = ax + b$ が、 $y = x$ とほとんど一致している場合には、図4に示すような処理をすることなく、図3に示した実測値のデータをメモリ38に記憶してもよい。

【0014】以上のような構成における誤差拡散方式の原理は、2つの輝度階調で密度変調を行い、ある広がりを持った小領域内で視覚上擬似的な階調を作り出し、多階調を得るようにしたものである。図3によりさらに詳しく説明する。

A_{ij} , j : 現処理対象の入力画素値

A_{ij-1} : 1ライン前の入力画素値

$A_{i-1, j}$: 1ドット前の入力画素値

δv : 1ライン前からの拡散出力画素の誤差荷重値

δh : 1ドット前からの拡散出力画素の誤差荷重値

とすると、誤差検出回路35に入力した拡散出力信号と、メモリ38からのデータとが、減算回路39でその差がとられて誤差出力信号が得られる。この誤差出力信号は、荷重回路40と41でそれぞれ K_v 、 K_h の重み付けされた誤差荷重出力信号 δv 、 δh となり、1ライン遅延回路36と1ドット遅延回路37に入力し、垂直方向加算回路31と水平方向加算回路32で原画素 A_{ij} に組み入れられ、

$C_{ij} = A_{ij} + \delta v + \delta h$ となる。

なお、 C_{ij} : 現処理対象の拡散出力画素値

$\delta v = K_v \times \{f(C_{ij-1}) - Br\}$

$\delta h = K_h \times \{f(C_{i-1, j}) - Br\}$

$f(C_{ij})$: C_{ij} に対する補正輝度

Br : 発光輝度レベル である。

【0015】誤差を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にて n ビットで量子化された拡散出力信号を、 m ($\leq n-1$) ビットに変換して映像出力端子34より出力する。このようにして、原映像入力信号を誤差を組み入れて拡散させ、かつ、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。

【0016】図5は、前述のように、誤差検出出力=補正輝度線-発光輝度レベルであり、図1に示す誤差検出回路35では、これらの演算を減算回路39で行ったが、この演算データをメモリ38に記憶させることもで

きる。この場合には、2のn乗、具体的には $n=8$ の場合、2の8乗=256ワードのメモリ38を必要とする。ただし、減算回路39は省略できる。また、このメモリ38のデータに、予め重み付けしたデータをメモリ38に記憶させれば、荷重回路40と41は省略できる。

【0017】(2)補正輝度線が直線でない場合
図6に示すような輝度を曲線状に補正したい場合(ガンマ補正など)には、補正輝度線を希望する曲線に設定し、発光輝度レベルとの誤差値を求め、前記同様にしてメモリ38に記憶する。その他の作用は前記同様である。

【0018】なお、映像信号処理LSI回路では、処理速度の限界近くで動作させる場合、加算回路などの遅延時間を吸収するため、システム・クロックで同期を取りながら演算を行っている。水平方向の演算は、処理単位が最小の $d=1$ ドットでは、1クロック前の画素との加算であり、1クロックですべての演算が終了しなければならない。この演算ループの中に余分な回路を挿入すると、その遅延増加によって回路構築が不能になる。

【0019】そこで、本発明では、図1に示すように、hライン遅延回路36での処理が原画素 A_i, j の入力から十分時間的な余裕があるため、映像信号入力端子30のすぐ後に垂直方向加算回路31を挿入し、ついでdドット遅延回路37での処理が原画素 A_i, j の入力から時間的な余裕がないため、水平方向加算回路32を挿入したものである。具体的には、hライン遅延回路36におけるhライン遅延は、1~3ライン前、dドット遅延回路37におけるdドット遅延は、1~3ドット前であり、好ましくは、 $h=1$ 、 $d=1$ のときである。

【0020】つぎに本発明の第2実施例を図7により説明する。第1実施例により、概ね好ましい結果が得られているが、擬似中間調表示は規則的なパターンが繰返し発生し、擬似紋様を作ってしまうという若干の問題がある。擬似紋様を作ってしまう現象を図8により説明する。この図8は、図3の一部を抽出し拡大したものであり、また、図3は、PDP10への駆動信号に対する発光輝度レベルを実測し、この発光輝度レベルをその最大値で正規化したものである。なお、この例では、映像入力信号が8ビットであるものを、駆動信号を4ビットにした例を示している。

【0021】前記実測線に基づいて、図8の補正輝度線が求められる。この図8において、

a:映像入力画素値(一定値の場合)

b:入力aに対する擬似中間調レベル

e_1, e_2, e_3 :誤差出力

d_1, d_2, d_3 :誤差荷重出力

とし、また、図示のように、発光輝度レベルBrを黒、黒、黒、 $Br+1$ を白、白、白とすると、

(1) $b - Br = e_1, e_1 \times Kh = d_1, a + d_1 =$

e_2 であるから、 $a + d_2 = \text{黒}$ となる。

(2) $a + d_2 = e_3$ であるから、 $a + d_2 = \text{白}$ となる。

(3) $d_3 = 0$ であるから、 $a + d_3 = a$ となり、黒である。

(4) 以上を繰り返すから、黒、白、黒、黒、白、黒、黒、白、黒、…と黒、白、黒が一定の周期で出現する。以上は、水平方向のみで考えたが、垂直方向でも同様である。したがって、水平と垂直の両方向について考えると、2次元的に繰返しの紋様が現われる。

【0022】このような紋様を解消するのが図7に示した回路である。この図7は、図1に示した誤差拡散回路において、原画質を劣化させない程度のランダムな補正値を加算および/または減算する手段として、補正量制御部42、補正量出力部43、補正加算回路44を付加したものである。すなわち、補正加算回路44を回路中の適宜な位置に挿入し、この補正加算回路44には、原画質を劣化させない、誤差荷重出力値以下の補正値を出力する補正量出力部43を接続する。この補正量出力部43は、一定の補正値であれば、再び規則的なパターンが繰返し発生して擬似紋様となるので、補正量制御部42によって、補正量出力部43の補正値が、大、小、正、負、正負混合などランダムな値になるように制御する。

【0023】補正加算回路44の挿入位置は、つぎのいずれであってもよい。

(1) 図1のように、垂直方向加算回路31と水平方向加算回路32の間に挿入する場合

(2) 映像入力端子30と垂直方向加算回路31の間に挿入する場合

(3) 水平方向加算回路32の出力側に挿入する場合

(4) 減算回路39と荷重回路40、荷重回路41の間に挿入する場合

以上のように補正加算回路44を挿入することによって、擬似中間調表示は規則的なパターンが発生しなくなり、擬似紋様を解消する。

【0024】つぎに、本発明の第3実施例を図9により説明する。前記実施例では、映像入力信号が1つだけであったが、この例では、カラー3原色信号の各色に対してカラーバランスを崩すことなく擬似中間調表示を可能とするものである。図9は、赤色(R)、緑色(G)、青色(B)のカラー3原色信号の各色に対してそれぞれ誤差拡散する回路で、29Rは、R誤差拡散回路、29Gは、G誤差拡散回路、29Bは、B誤差拡散回路である。内部構成は、それぞれ図7と同一である。それぞれのR映像出力端子34R、G映像出力端子34G、B映像出力端子34Bは、PDP10に接続される。

【0025】また、以上のR、G、Bの各誤差拡散回路29R、29G、29Bの補正加算回路44には、図7と同様、擬似中間調表示によって得られた画像に発生した擬似紋様を解消することを目的として、原画質を劣化

させない程度のランダムな補正値を加算および／または減算する手段として、補正量制御部42、補正量出力部43、補正加算回路44を付加する。

【0026】以上のような擬似中間調表示において、R映像信号入力または再現誤差値に、原画質を劣化させない程度のランダムな補正値を加算および／または減算することにより、擬似中間調表示は規則的なパターンが発生しなくなり、擬似紋様が解消される。

【0027】誤差と補正値を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にてnビットで量子化された拡散出力信号を、m ($\leq n-1$) ビットに変換してR映像出力端子34Rより出力する。同様に、G映像出力端子34G、B映像出力端子34Bの各出力も、G、Bの各原映像入力信号に誤差と補正値を組み入れて拡散させ、かつ、原映像入力信号よりも少ないビット数に変換されてPDP10に送られ、PDP10に発光輝度が低下することなく、しかも、紋様のない状態で表示される。

【0028】

【発明の効果】

(1) 本発明は、以上のような方法を採用したので、入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、回路構成を低減するためのPDP駆動方法を提供できる。

【0029】(2) カラー信号の場合にも、カラー3原色の各色に対して同様の処理を行い、また、出力画素に、垂直と水平においてそれぞれ多値化誤差を加重して加えて、より一層の濃淡再現性、解像度、滑らかさを向上させることができる。

【図面の簡単な説明】

【図1】本発明によるPDP駆動方法の第1実施例を示

すブロック図である。

【図2】画素の座標位置の説明図である。

【図3】駆動信号対発光輝度レベルの実測線図である。

【図4】補正された輝度レベルの特性線図である。

【図5】誤差出力の特性線図である。

【図6】補正輝度線が曲線の場合の特性線図である。

【図7】本発明によるPDP駆動方法の第2実施例を示すブロック図である。

【図8】図3に示す駆動信号対発光輝度レベルの実測線を一部抽出した拡大図である。

【図9】本発明によるPDP駆動方法の第3実施例を示すブロック図である。

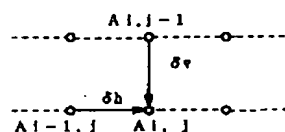
【図10】256階調の手法に使用されるPDPの斜視図である。

【図11】256階調の手法における駆動シーケンスと駆動波形図である。

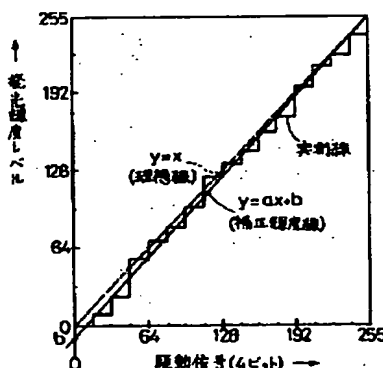
【符号の説明】

10…PDP (プラズマ・ディスプレイ・パネル)、11…表面ガラス基板、12…Xサスティン電極、13…Yサスティン電極、14…誘電体層、15…保護層、16…裏面ガラス基板、17…アドレス電極、18…ストライプ状リブ、19…R (赤) 蛍光体、20…G (緑) 蛍光体、21…B (青) 蛍光体、22…放電空間、23…バス電極、29R…R誤差拡散回路、29G…G誤差拡散回路、29B…B誤差拡散回路、30R…R映像信号入力端子、30G…G映像信号入力端子、30B…B映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34R…R映像出力端子、34G…G映像出力端子、34B…B映像出力端子、35…誤差検出回路、36…hライン遅延回路、37…dドット遅延回路、38…メモリ、39…減算回路、40…荷重回路、41…荷重回路、42…補正量制御部、43…補正量出力部、44…補正加算回路。

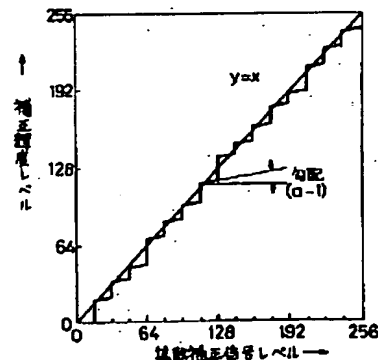
【図2】



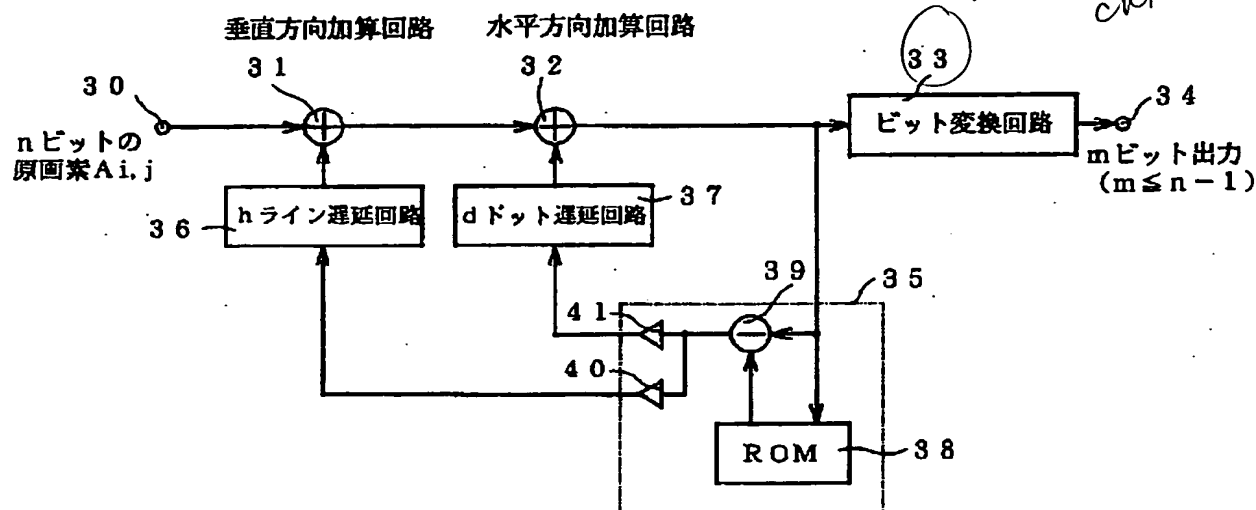
【図3】



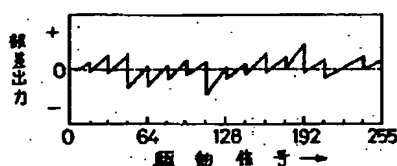
【図4】



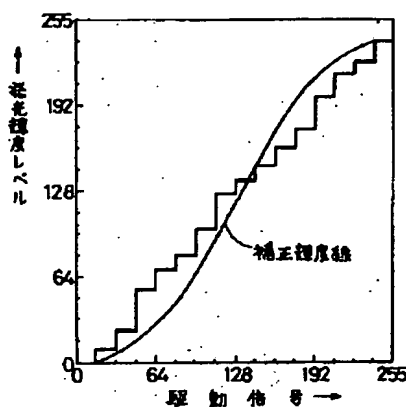
【図1】



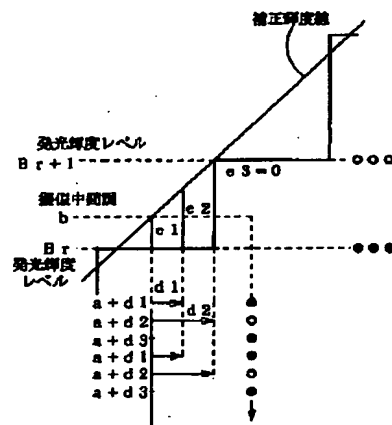
【図5】



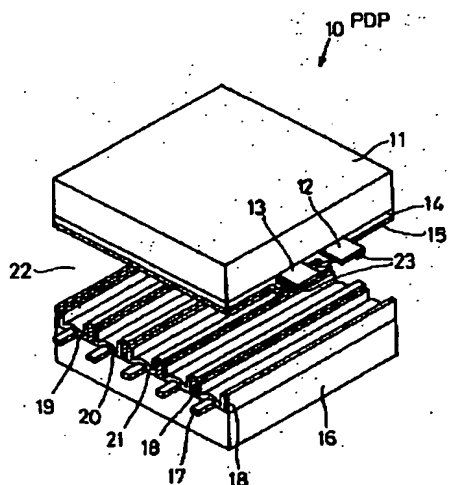
【図6】



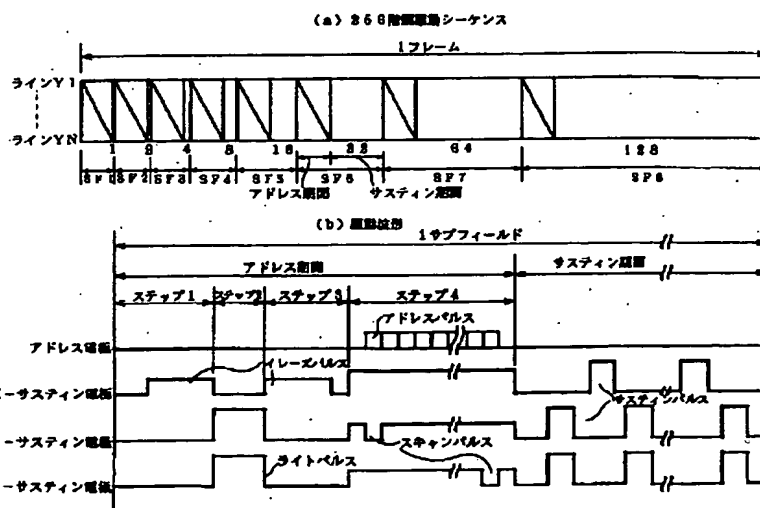
【図8】



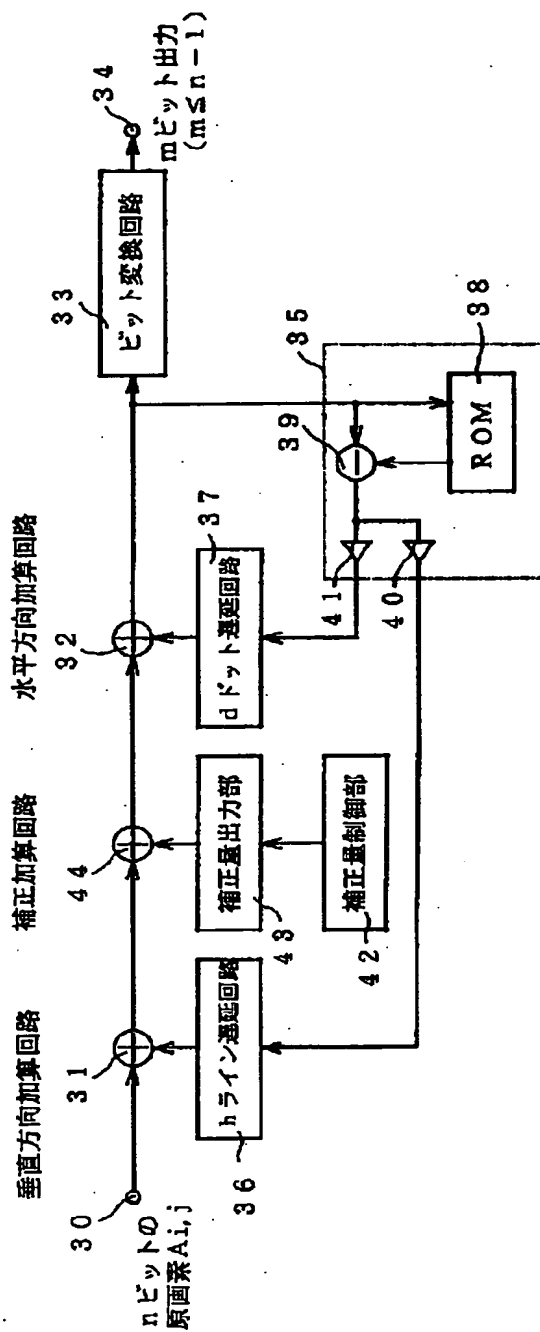
【図10】



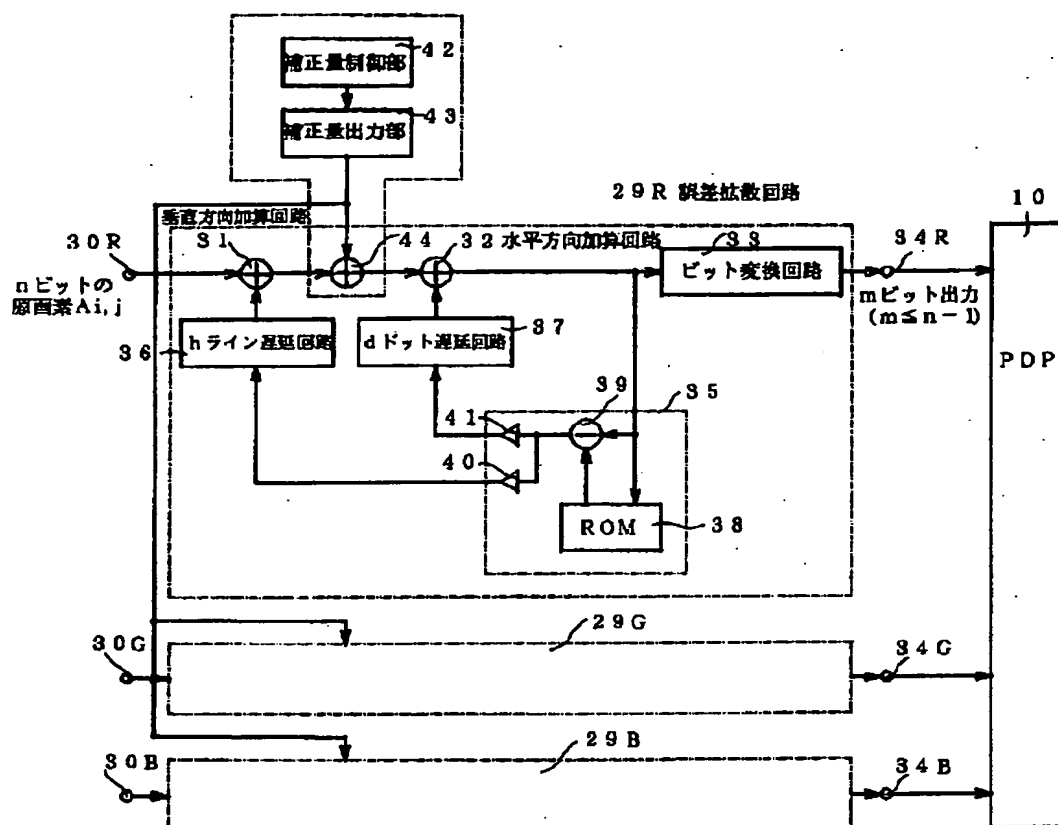
【図11】



【図 7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.